

Title of the Prior Art

Japanese Published Patent Application No.2000-294743

Date of Publication: October 20, 2000

Concise Statement of Relevancy

This reference discloses a structure of a memory cell capacitor in a ferroelectric memory device (paragraph 0022, 0023).

Translation of paragraphs [0022]-[0023]

[0022]

Next, a memory cell structure according to an embodiment of the present invention will be described in more detail with referring to Fig. 2 and Fig. 3. Fig. 2 is an enlarged layout diagram of a memory cell included in a memory cell array shown in Fig. 1, and Fig. 3 is a schematic cross-section diagram of the memory cell.

[0023]

The memory cell according to the embodiment includes a ferroelectric capacitor 20 and a memory cell transistor 30, and the ferroelectric capacitor 20 is, as shown in Fig.3, composed of a ferroelectric portion 3', a lower electrode 2' and an upper electrode 4', the lower electrode 2' and the upper electrode 4' sandwiching the ferroelectric portion 3'. The lower electrode 2' is connected electrically to the source region of the memory cell transistor 30 with a conductive material 6a or 6c. For more detail, the conductive materials 6a and 6c are in contact with at least a side surface portion of the lower electrode 2' of the capacitor 20 but are not in contact with an undersurface of the electrode 2'. The ferroelectric memory device according to the

embodiment has an important feature on this point, and operation and effect obtained by this will hereinafter be described.

(11)特許出願公開番号

特開2000-294743

(P2000-294743A)

(43)公開日 平成12年10月20日(2000.10.20)

(51) IntCl.⁷

識別記号

FI

テラユート・(参考)

H O 1 L 27/10
27/108
21/8242
21/8247
29/788

451

H O 1 L 27/10

451 5F001

621Z 5F083

651

29/78

371

審査請求 未請求 請求項の数 8 OL (全 12 頁) 最終頁に続く

(21) 出願番号

特願平11-94649

(22) 出願日

平成11年4月1日(1999.4.1)

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 平野 博茂

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74) 代理人 100077931

井理士 前田 弘 (外1名)

Fターム(参考) 5F001 AA17

5F083 AD21 FR03 GA09 JA17 JA36

JA37 JA38 JA39 JA40 JA42

JA56 KA05 LA12 LA16 MA01

MA04 MA05 MA06 MA17 MA20

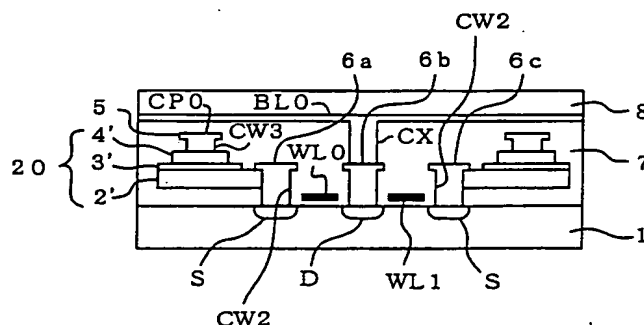
PR33 ZA28

(54) 【発明の名称】 強誘電体メモリ装置

(57) 【要約】

【課題】 強誘電体メモリ装置のメモリセルサイズを縮小する。

【解決手段】 メモリセルトランジスタのソース領域S上に形成した導電部材6aおよび6cを強誘電体キャパシタの下部電極2'の側面に接触させることによって、下部電極2'とソース領域Sとの間の電氣的導通を達成する。



【特許請求の範囲】

【請求項1】 複数のメモリセルを備えた強誘電体メモリ装置であって、

前記複数のメモリセルの各々は、

強誘電体膜と、前記強誘電体膜を挟む下部電極および上部電極とを有するキャパシタと、

導電部材を介して前記キャパシタの下部電極に電氣的に接続されたメモリセルトランジスタとを含んでおり、

前記導電部材が前記キャパシタの下部電極の少なくとも側面部分を前記メモリセルトランジスタのソース領域に接続していることを特徴とする強誘電体メモリ装置。

【請求項2】 前記導電部材の一部は、前記キャパシタの下部電極の上面に接触しているが、前記下部電極の下面には接触していないことを特徴とする請求項1に記載の強誘電体メモリ装置。

【請求項3】 前記複数のメモリセルのうちの任意のメモリセルに含まれるキャパシタの上部電極は、他の関連するメモリセルに含まれるキャパシタの上部電極と連続しており、これらの上部電極が配線形状を持つように形成されていることを特徴とする請求項1または2に記載の強誘電体メモリ装置。

【請求項4】 複数のメモリセルを備えた強誘電体メモリ装置であって、

前記複数のメモリセルの各々は、

強誘電体膜と、前記強誘電体膜を挟む下部電極および上部電極とを有するキャパシタと、

導電部材を介して前記キャパシタの下部電極および上部電極の何れか一方に電氣的に接続されたメモリセルトランジスタとを含んでおり、

前記メモリセルトランジスタのドレイン領域を相互接続するビットラインよりも高い位置に前記キャパシタの下部電極が設けられていることを特徴とする強誘電体メモリ装置。

【請求項5】 前記下部電極は、前記メモリセルトランジスタのゲート電極を覆う領域に位置していることを特徴とする請求項4に記載の強誘電体メモリ装置。

【請求項6】 前記導電部材が前記キャパシタの下部電極の少なくとも側面部分を前記メモリセルトランジスタのソース領域に接続していることを特徴とする請求項4または5に記載の強誘電体メモリ装置。

【請求項7】 前記導電部材の一部は、前記キャパシタの下部電極の上面に接触しているが、前記下部電極の下面には接触していないことを特徴とする請求項6に記載の強誘電体メモリ装置。

【請求項8】 前記複数のメモリセルは基板上に配列されており、しかも、前記基板には前記メモリセルトランジスタ以外のトランジスタを含む半導体集積回路が形成されていることを特徴とする請求項1から7の何れか一つに記載の強誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体メモリ装置に関する。

【0002】

【従来の技術】近年、携帯端末やICカード等が普及し、低電圧、低消費電力および高速動作の不揮発性メモリの要望が高まっている。不揮発性メモリにはフラッシュメモリがあるが、その消費電力は大きい。

【0003】これに対して、強誘電体メモリ装置は、強誘電体膜を用いたキャパシタの分極方向に応じてデータを不揮発的に記憶するため、そのデータの書換には分極を反転させるための比較的に弱い電界を形成するだけでよい。このため、強誘電体メモリ装置は、比較的に低い電圧で高速に動作し、その消費電力も少ないという利点を有している。

【0004】図11(a)および(b)を参照しながら従来の強誘電体メモリ装置を説明する。図11(a)は、この強誘電体メモリ装置におけるメモリセルアレイを上面からみた図面であり、図11(b)はビットライン(例えばBL0)方向に沿った断面図である。

【0005】図11(a)を参照すると、複数の活性領域が半導体基板1上に行列状に配列されており、各活性領域を一对のワードラインWL0およびWL1(またはWL2およびWL3)が横切っている。ワードラインWL0~WL3は、活性領域上においてトランジスタのゲート電極として機能するとともに、複数のトランジスタのゲート電極を相互に接続する配線(ゲート配線)としても機能する。ビットライン系配線BL0、/BL0、BL1、/BL1、DBL、および/DBLは、ワードラインWL0~WL3と交差する方向に延びている。ここで、BL0、/BL0、BL1、および/BL1はビットラインであり、DBL、および/DBLはダミービットラインである。

【0006】各メモリセルは、強誘電体キャパシタとメモリセルトランジスタとを含んでおり、強誘電体キャパシタは、強誘電体部3'と、強誘電体部3'を挟む下部電極2'および上部電極4'とから構成されている。上部電極4'は、導電部材を介してメモリセルトランジスタのソース領域Sと電氣的に接続されている。

【0007】より詳細には、層間絶縁膜にコンタクトホールCW1~CW3を形成した後、層間絶縁膜上に堆積した金属膜をパターニングすることによって、上部電極4'とメモリセルトランジスタのソース領域Sとの電氣的接続が達成される。この金属膜からは、同時にビットライン系配線BL0、/BL0、BL1、/BL1、DBL、および/DBLも形成される。このため、キャパシタとトランジスタとを接続する導電部材は、図11(b)からわかるように、ビットライン系配線から間隔Gを開けて形成されることになる。

【0008】

【発明が解決しようとする課題】このような従来のメモリセル構成によれば、上記導電部材とビットライン系配線とが同一レベル上に堆積したひとつの金属膜からパターンニングによって形成されるため、両者のセパレーションを確保する必要があり、メモリセル面積を更に縮小することが困難であった。

【0009】また、上記メモリセル構成によれば、キャパシタの上部電極4'をメモリセルトランジスタのソース領域に接続する導電部材がキャパシタの下部電極2'に短絡しないように、キャパシタの下部電極2'とコンタクトホールCW2との間に十分に大きなマージンを設ける必要もあった。このこともメモリセルサイズの更なる縮小を阻んでいた。

【0010】本発明は斯かる諸点に鑑みてなされたものであり、その主な目的は、メモリセルのサイズを縮小し、集積度を向上させた強誘電体メモリ装置を提供することにある。

【0011】

【課題を解決するための手段】本発明による強誘電体メモリ装置は、複数のメモリセルを備えた強誘電体メモリ装置であって、前記複数のメモリセルの各々は、強誘電体膜と、前記強誘電体膜を挟む下部電極および上部電極とを有するキャパシタと、導電部材を介して前記キャパシタの下部電極に電気的に接続されたメモリセルトランジスタとを含んでおり、前記導電部材が前記キャパシタの下部電極の少なくとも側面部分を前記メモリセルトランジスタのソース領域に接続していることを特徴とする。

【0012】前記導電部材の一部は、前記キャパシタの下部電極の上面に接触しているが、前記下部電極の下面には接触していないことが好ましい。

【0013】前記複数のメモリセルのうちの任意のメモリセルに含まれるキャパシタの上部電極は、他の関連するメモリセルに含まれるキャパシタの上部電極と連続しており、これらの上部電極が配線形状を持つように形成されている。

【0014】本発明による強誘電体メモリ装置は、複数のメモリセルを備えた強誘電体メモリ装置であって、前記複数のメモリセルの各々は、強誘電体膜と、前記強誘電体膜を挟む下部電極および上部電極とを有するキャパシタと、導電部材を介して前記キャパシタの下部電極および上部電極の何れか一方に電気的に接続されたメモリセルトランジスタとを含んでおり、前記メモリセルトランジスタのドレイン領域を相互接続するビットラインよりも高い位置に前記キャパシタの下部電極が設けられていることを特徴とする。

【0015】前記下部電極は、前記メモリセルトランジスタのゲート電極を覆う領域に位置している。

【0016】前記導電部材が前記キャパシタの下部電極の少なくとも側面部分を前記メモリセルトランジスタの

ソース領域に接続している。

【0017】前記導電部材の一部は、前記キャパシタの下部電極の上面に接触しているが、前記下部電極の下面には接触していないことが好ましい。

【0018】好ましい実施形態では、前記複数のメモリセルは基板上に配列されており、しかも、前記基板には前記メモリセルトランジスタ以外のトランジスタを含む半導体集積回路が形成されている。

【0019】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。

(実施形態1) まず、図1を参照する。図1は、本発明による強誘電体メモリ装置の第1の実施形態におけるメモリセルアレイの一部を示す平面図である。図1では、単結晶シリコン基板等の半導体基板(シリコンチップ)上に行列状に配列された12個の活性領域が記載されており、各活性領域を一对のワードラインWL0およびWL1(またはWL2およびWL3)が横切っている。実際には、より多くの活性領域が一つの半導体基板上に形成されている。

【0020】ワードラインWL0~WL3は、活性領域上においてトランジスタのゲート電極として機能するとともに、複数のトランジスタのゲート電極を相互に接続する配線(ゲート配線)としても機能する。なお、半導体基板1上には、メモリセルアレイ以外にも各種の機能を実現する種々の回路が形成されている。これらの回路については詳細な説明を省略するが、この技術分野における当業者であれば、種々の用途に応じて適切な回路を付加することができる。

【0021】図1には、ワードラインWL0~WL3と交差する方向に延びるビットライン系配線BL0、/BL0、BL1、/BL1、DBL、および/DBLも示されている。各ビットライン系配線は、メモリセルトランジスタのドレイン領域Dを不図示の回路と接続している。

【0022】次に、図2および図3を参照しながら、本実施形態のメモリセル構造をより詳細に説明する。図2は、図1のメモリセルアレイに含まれる一つのメモリセルを拡大して示すレイアウト図であり、図3は、そのメモリセルの模式的断面図である。

【0023】本実施形態におけるメモリセルは、強誘電体キャパシタ20とメモリセルトランジスタ30とを含んでおり、強誘電体キャパシタ20は、図3に示されるように、強誘電体部3'と、強誘電体部3'を挟む下部電極2'および上部電極4'とから構成されている。下部電極2'は、導電部材6aまたは6cを介してメモリセルトランジスタ30のソース領域と電気的に接続されている。より詳細には、導電部材6aおよび6cは、キャパシタ20の下部電極2'の少なくとも側面部分と接触しており、下部電極2'の下面とは接触していない。

本実施形態の強誘電体メモリ装置は、この点に重要な特徴を有しているが、これによって得られる作用効果については後述する。

【0024】強誘電体キャパシタ20の強誘電体部3'は、例えばSBTと呼ばれるSr、BiおよびTa等で構成された材料等から形成されており、その厚さは100～200nm程度である。また、下部電極2'はプラチナやイリジウム系を含む材料から形成されており、その厚さは、200～300nm程度である。上部電極4'は、DRAMにおけるプレート電極に相当し、例えばプラチナやイリジウム系を含む材料から形成される。上部電極4'の厚さは200～300nm程度である。本発明がこれらの材料や厚さに限定されないことは言うまでもない。なお、キャパシタ20の一边の長さは、例えば2～3μmである。

【0025】メモリセルトランジスタ30は、半導体基板1の表面に形成されたチャネル領域と、チャネル領域を挟むようにして形成されたソース領域Sおよびドレイン領域Dとを備えている。ソース領域Sおよびドレイン領域Dは、公知の不純物ドーピング技術によって半導体

基板1内に形成した不純物領域から構成される。チャネル領域の上には、ゲート絶縁膜を介してワードラインが形成されている。

【0026】図2では、一つの活性領域の輪郭を破線1aで示している。半導体基板1の表面のうち活性領域1a以外の領域は、素子分離領域である。ひとつの活性領域1a内には二つのメモリセルトランジスタ30が形成されており、ワードラインWL0とワードラインWL1との間に位置するドレイン領域Dは、ふたつのメモリセルトランジスタ30によって共有されている。ドレイン

領域Dは導電部材6bを介して配線DBL等のビットライン系配線に接続されている。

【0027】なお、本実施形態では、図1に示すように、同一行内に存在するキャパシタの上部電極4'がワードラインに対して平行に延びるセルプレートCP0～CP3によって相互に接続されている。

【0028】以下、図4～図6を参照しながら、本実施形態における強誘電体メモリ装置を製造する方法を説明する。

【0029】まず、公知の半導体製造技術を用い、メモリセルトランジスタを半導体基板1に形成する(図4において不図示)。具体的には、半導体基板1の表面に素子分離を形成することによって、素子分離に囲まれた複数の活性領域1aを形成した後、ゲート絶縁膜の形成工程を経て、ワード線WL0～WL3を形成する。ワード線WL0～WL3は、例えばポリシリコン膜をパターンニングすることによって形成される。この後、イオン注入法等によって不純物イオンを活性領域1aにドーブし、ソース領域Sおよびドレイン領域DをワードラインWL0～WL3の各々に対して自己整合的に形成する。

【0030】この後、図4(a)に示すように、ワード線WL0～WL3を覆う層間絶縁膜40を半導体基板1上に形成する。層間絶縁膜40は複数種類の絶縁層を含む多層構造を有していても良い。本実施形態では、CVD法によってBPSG膜(厚さ:800nm)を堆積した後、NSG膜(厚さ:200nm)をBPSG膜上に堆積し、これらのBPSG膜およびNSG膜から層間絶縁膜40を形成する。

【0031】次に、キャパシタ20の下部電極2'となる第1Pt膜2を例えばスパッタ法によって層間絶縁膜40上に堆積する。第1Pt膜2と層間絶縁膜40との間の密着性を向上させるため、層間絶縁膜40上にTi膜(厚さ:数10nm)を堆積してもよい。

【0032】次に、スピコート法によって強誘電体膜3を第1Pt膜2上に形成する。このとき、ひとつの強誘電体膜3を複数層に分けてコートしては焼結するという工程を繰り返す。焼結温度は600～800℃である。強誘電体膜3内の一部の層については、グレインサイズが大きくなりすぎないように焼結温度を相対的に低くすることが好ましい。

【0033】上部電極4'となる第2Pt膜4をスパッタ法によって強誘電体膜3上に堆積した後、その上にTi膜(不図示)を堆積する。Ti膜の表面は酸化され、TiO_x膜(xはゼロより大きな数)となる。

【0034】次に、キャパシタ形成のためのパターンニング工程を実行する。本実施形態では、まず、図4(a)に示すように、リソグラフィ技術を用いて上部電極4'の形状および位置を規定するレジスト層R1を第2Pt膜4上に形成する。次に、図4(b)に示すように、レジスト層R1をマスクとして用いるドライエッチング技術によって第2Pt膜4をパターンニングし、上部電極4'を形成する。上部電極4'のパターンニングが終了した時点におけるレジストR2および上部電極4'の平面レイアウトを図6(a)に示す。この段階では、TiO_x膜、Ti膜および強誘電体膜3はまだパターンニングされておらず、基板1上において二次元的に連続している。

【0035】レジスト層R1を除去した後、洗浄工程を経て、強誘電体膜3の再結晶化アニール(約800℃)工程を行う。次に、パターンニングされた上部電極4'を覆うようにしてNSG膜41を強誘電体膜3上に堆積する。NSG膜41は、あとで堆積するPSG膜と強誘電体膜3との間の密着性を向上させるために堆積する。

【0036】下部電極2'の形状および位置を規定するレジスト層R2をリソグラフィ技術によってNSG膜41上に形成した後、図4(c)に示すように、レジストR2をマスクとしてNSG膜41、強誘電体膜3、第1Pt膜2を順次パターンニングし、強誘電体部3'および下部電極2'を形成する。

【0037】本実施形態では、このように同一のレジス

ト層 R 2 を用いて強誘電体部 3' および下部電極 2' のパターンニングを行っているが、強誘電体部 3' および下部電極 2' のパターンニングは別々のレジスト層を用いて異なる形状となるように実行しても良い。

【0038】図 6 (b) は、レジスト層 R 2 および強誘電体部 3' と上部電極 4' との配置関係を示している。図 6 (b) では図示されていないが、レジスト層 R 2 は活性領域のソース領域 S に部分的にオーバーラップするように、そのレイアウトが設計されている。

【0039】上記パターンニング工程の後、レジスト層 R 2 を除去し、次に基板 1 上に NSG 膜 4 2 を堆積する。この後、図 4 (d) に示すように、リソグラフィ技術を用い、開口部 5 1 を有するレジスト層 R 3 を NSG 膜 4 2 上に形成する。レジスト層 R 3 の開口部 5 1 は、図 6 (c) に示すように、上部電極 4' からは 0.4~1.0 μm 程度離れているが、強誘電体部 3 とは部分的に重なり合うように形成される。レジスト層 R 3 をマスクとするドライエッチング技術によって、NSG 膜 4 2 および 4 1、強誘電体部 3' の露出部分がエッチングされ、図 5 (a) に示す構造が得られる。このエッチングは、下部電極 2' をできる限りエッチングしない条件のもとで行われる。そのため、下部電極 2' の上面および側面は、レジスト層 R 3 の開口部 5 1 を介して部分的に露出することになる。

【0040】次に、レジスト層 R 3 を除去した後、PSG 膜 4 3 を基板 1 上に堆積する。PSG 膜 4 3 は、強誘電体部 3' の側面をカバーし、あとで形成する導電部材 6 a および 6 c と強誘電体部 3' とが短絡しないように機能する。この後、図 5 (b) に示すように、開口部 5 2 を有するレジスト層 R 3' を基板 1 上に形成する。この開口部 5 2 は、コンタクトホール CW 2 の位置と形状を規定するものであり、図 6 (d) に示すパターンを有している。図 6 (d) からわかるように、レジスト層 R 3' の開口部 5 2 は、下部電極 2' とは部分的に重なり合うが、強誘電体部 3' には重ならない位置に形成される。例えば、下部電極 2' の露出部分のエッジがコンタクトホール CW 2 の中心付近に達するようにすることが好ましい。このようにレイアウトを設計すると、コンタクトホール CW 2 の内径が 0.8~1.0 μm の場合、下部電極 2' のうちコンタクトホール CW 2 内に突き出る部分の長さが 0.4~0.5 μm 程度になる。このような場合、マスクアライメントずれが 0.1 μm 程度発生しても、下部電極 2' とメモリセルトランジスタのソース領域 S との間との電氣的導通は確実に達成される。

【0041】上記レジスト層 R 3' をマスクとして用いる異方性エッチング工程を行い、PSG 膜 4 3 および層間絶縁膜 4 0 にコンタクトホール CW 2 を形成する。コンタクトホール CW 2 はメモリセルトランジスタのソース領域 S に到達している。このエッチングは SiO_2 をエッチングするが、下部電極 2' をほとんどエッチング

しない条件で行われる。その結果、図 5 (c) に示すように、開口部 5 2 を介して露出している下部電極 2' の一部がエッチングマスクとして機能するため、層間絶縁膜 4 0 のうち下部電極 2' に覆われている部分はエッチングされない。より詳細には、強誘電体膜の材料として SBT と呼ばれる Sr 、 Bi および Ta 等で構成された材料を用いる場合、コンタクトホール CW 2 のエッチングには CHF_3 、 CF_4 等のエッチングガスをいれればよい。

【0042】なお、上記コンタクトホール CW 2 を形成する一連の工程の少なくとも一部を利用して、層間絶縁膜 4 0 中にコンタクトホール CW 1 や CW 3 を形成しても良い。その場合、レジスト R 3 および/または R 3' には、コンタクトホール CW 1 や CW 3 を規定する開口部 (不図示) が設けられることになる。

【0043】なお、レジスト層 R 3 の開口部 5 1 は、図 6 (c) に示すように、強誘電体部 3' の一部をエッチングすることによって、図 6 (d) に示すようにコンタクトホール CW 2 と強誘電体部 3' との間に距離を設けるように設計される。従って、レジスト層 R 3 の開口部 5 1 は、レジスト層 R 3' の開口部 5 2 よりも幾分サイズが大きいことが求められる。同一のフォトリソグラフィ条件を変えながら露光時間などのリソグラフィ条件を変えることによって開口部 5 1 のサイズを開口部 5 2 のサイズよりも大きくすることが可能である。もちろんレジスト層 R 3 のパターンは、図 6 (c) に示すものに限定されず、コンタクトホール CW 2 が強誘電体部 3' とオーバーラップしないような形状になるように強誘電体部 3' の一部をエッチングするものであれば良い。

【0044】レジスト層 R 3' を除去した後、PSG 膜 4 3 上の全面に導電膜を堆積する。導電膜を堆積した後、リソグラフィ技術およびエッチング技術を用いて導電膜をパターンニングする。この導電膜は多層構造を有していることが好ましく、例えば、下層から順番に Ti 層、 TiN 層、 Al-Si-Cu 層、および TiN 層を積層した金属膜を用いることができる。最上層の TiN 層はリソグラフィ工程において反射防止膜 (ARC: Anti Reflection Coating) として機能する。

【0045】本実施形態では、上記多層構造の導電膜をパターンニングすることによって複数の導電部材 6 a、6 b および 6 c を形成する。導電部材 6 a および 6 c は、コンタクトホール CW 2 を介して強誘電体キャパシタの下部電極 2' の側面部および上面に接触し、かつメモリセルトランジスタ 3 0 のソース領域 S に接触する。一方、導電部材 6 b はコンタクトホール CW 1 を介してメモリセルトランジスタ 3 0 のドレイン領域 D に接触する。

【0046】これらの導電部材 6 a~6 c を覆うように絶縁膜を堆積し、図 3 に示す層間絶縁膜 7 の形成を完了した後、リソグラフィ技術およびエッチング技術を用い

てコンタクトホールCXを層間絶縁膜7に形成する。コンタクトホールCXは、図1および図2に示すように、導電部材6bの上面に達するように形成される必要があるが、コンタクトホールCW1の真上に位置している必要はない。本実施形態の導電部材6bは、図2に示すように、コンタクトホールCXの位置をコンタクトホールCW1の位置からずらせるように、ワードラインの沿って横に延びている部分を有している。

【0047】コンタクトホールCXを形成した後、前述の金属膜と同様の構成を有する金属膜を層間絶縁膜7上に堆積する。その後、その金属膜をパターニングすることによってビットライン系BL0、/BL0、BL1、/BL1、DBL、/DBLを形成する。ビットライン系配線BL0、/BL0、BL1、/BL1、DBL、/DBLのそれぞれは、対応する導電部材6bを介してメモリセルトランジスタ30のドレイン領域Dに電気的に接続される。

【0048】この後、必要に応じて他の絶縁膜8や、さらに上層の配線層を形成してもよい。こうして、図1〜図3に示す構造を持つ強誘電体メモリ装置が製造される。

【0049】以上説明してきたように、本実施形態では、下部電極2'の形成後にコンタクトホールCW2を形成し、それによって下部電極2'の一部を露出させるとともに、メモリセルトランジスタのソース領域Sの一部を露出させる。その結果、コンタクトエッチング後に導電膜を基板1上に堆積すると、導電膜の一部がコンタクトホールCW2の内部で下部電極2'の上面および側面部分に接触しつつ、メモリセルトランジスタのソース領域Sにも接触することになる。このようにして下部電極2'をソース領域Sに対して電気的に接続すれば、従来技術に比較してキャパシタの位置とソース領域Sの位置とをより接近させることができる。

【0050】また、本実施形態によれば、キャパシタ20の電極とメモリセルトランジスタ30とを接続する導電部材6aおよび6cがビットライン系配線が形成されているレベルとは異なるレベル（下層のレベル）に形成されているため、両者の間に横方向に広がるスペースを確保する必要がない。言い換えると、平面レイアウト上、ビットライン系配線が導電部材とオーバーラップするように設計されていてもよい。このように本実施形態によれば、導電部材とビットラインとの間に加工マージンを確保する必要がなくなるため、メモリセルの専有面積を従来よりも小さくすることができる。

【0051】また本実施形態では、電気抵抗が比較的低い金属材料からプレート線5を形成し、それによって複数の上部電極4'を相互に接続しているため、プレート線5を高速に駆動することができる。

【0052】従来の強誘電体メモリ装置を製造する場合の設計ルールと同一の設計ルールに従って本実施形態の

強誘電体メモリ装置を製造すると、メモリセルのサイズを約85〜95%に縮小することができる。

（実施形態2）次に、図7（a）および（b）を参照しながら、本発明による強誘電体メモリの他の実施形態を説明する。図7（a）はメモリセルアレイの一部を示す平面図であり、図7（b）はビットライン（例えばBL0）方向の断面図である。

【0053】図示されている強誘電体メモリ装置は、第1の実施形態と同様に、半導体基板1上に配列された複数のメモリセルを備えており、メモリセルの各々は、強誘電体キャパシタとメモリセルトランジスタとを含んでいる。また、各メモリセルの構成も以下に述べる点を除いて同様である。

【0054】本実施形態と第1の実施形態との差異は、図7（a）に示すように、本実施形態におけるキャパシタの上部電極4'が複数のメモリセルについて連続した配線形状に形成され、セルプレートを兼ねている点にある。

【0055】第1の実施形態のように上部電極4'がメモリセル毎に孤立している場合は、他の導電材料から形成したセルプレートによって各上部電極4'を接続する必要があるが、本実施形態によれば、その必要はない。

（実施形態3）次に、図8（a）および（b）を参照しながら、本発明による強誘電体メモリの第3の実施形態を説明する。図8（a）はメモリセルアレイの一部を示す平面図であり、図8（b）はビットライン（例えばBL0）方向の断面図である。

【0056】図示されている強誘電体メモリ装置は、第1および第2の実施形態と同様に、半導体基板1上に配列された複数のメモリセルを備えており、メモリセルの各々は、強誘電体キャパシタとメモリセルトランジスタとを含んでいる。

【0057】本実施形態と第1および第2の実施形態との差異は、図8（b）に示すように、本実施形態におけるキャパシタがビットライン系配線よりも上方レベルに設けられている点にある。

【0058】本実施形態では、メモリセルトランジスタを形成した後、メモリセルトランジスタを覆う層間絶縁膜7aを基板1上に堆積する。層間絶縁膜7aにコンタクトホールCMを形成した後、例えばタングステンポリサイドなどの材料からビットライン系配線BL0、/BL0、BL1、/BL1、DBL、/DBLを形成する。ビットライン系配線の材料としては、誘電体キャパシタを作製する際に必要となる比較的耐高温のプロセスに耐え得る材料（例えば高融点金属またはそのシリサイドなど）を用いる必要がある。

【0059】次に、ビットライン系配線BL0、/BL0、BL1、/BL1、DBL、/DBLを絶縁膜で覆った後、その絶縁膜上に強誘電体キャパシタを形成する。より具体的には、セルプレート線CP0〜CP3を

兼ねる下部電極 2' を例えばプラチナやイリジウム系を含む材料から形成する。その後、下部電極 2' 上に強誘電体膜 3' とおよび上部電極 4' を形成する。

【0060】層間絶縁膜 7b を形成した後、メモリセルトランジスタのソース領域 S と上部電極 4' とを接続するためのコンタクトホール CW2 および CW3 を形成する。次に、図 8 (b) に示すように、例えばアルミニウム合金からなる導電部材を用いてメモリセルトランジスタのソース領域 S と上部電極 4' とを電氣的に接続する。この後、必要に応じて他の絶縁膜 8 や、さらに上層の配線層を形成してもよい。

【0061】本実施形態では、ビットライン系配線がキャパシタよりも下のレベルに形成されているため、平面レイアウト上、キャパシタやその他の導電部材に対してビットライン系配線がオーバーラップしても良い。その結果、設計の自由度が向上するとともにメモリセルサイズを縮小することが可能になる。

【0062】なお、図 8 (a) に示すレイアウト例では、キャパシタの上部電極 4' をメモリセルトランジスタのソース領域 S に接続する導電部材は、下層のビットライン系配線とオーバーラップしていないが、本発明はこのような構成に限定されるものではない。

【0063】従来の強誘電体メモリ装置を製造する場合の設計ルールと同一の設計ルールに従って本実施形態の強誘電体メモリ装置を製造すると、メモリセルのサイズを約 80~90% に縮小することができる。

【0064】(実施形態 4) 次に、図 9 (a) および (b) を参照しながら、本発明による強誘電体メモリ第 4 の実施形態を説明する。図 9 (a) はメモリセルアレイの一部を示す平面図であり、図 9 (b) はビットライン (例えば BL0) 方向の断面図である。

【0065】本実施形態と第 3 の実施形態との差異は、図 9 (a) および (b) に示すように、本実施形態におけるキャパシタがワードラインとオーバーラップする位置 (ワードラインの上層レベル) に設けられている点にある。この結果、メモリセルのサイズを更に縮小することが可能である。

【0066】従来の強誘電体メモリ装置を製造する場合の設計ルールと同一の設計ルールに従って本実施形態の強誘電体メモリ装置を製造すると、メモリセルのサイズを約 50~55% に縮小することができる。

【0067】(実施形態 5) 次に、図 10 (a) および (b) を参照しながら、本発明による強誘電体メモリ第 5 の実施形態を説明する。図 10 (a) はメモリセルアレイの一部を示す平面図であり、図 10 (b) はビットライン (例えば BL0) 方向の断面図である。

【0068】本実施形態は、第 1 の実施形態の特徴部分と第 3 の実施形態の特徴部分を併せ持つ構造を有しているため、両者のサイズ縮小効果が組み合わされる結果、よりメモリセルサイズを縮小することが可能になる。

【0069】従来の強誘電体メモリ装置を製造する場合の設計ルールと同一の設計ルールに従って本実施形態の強誘電体メモリ装置を製造すると、メモリセルのサイズを約 55~60% に縮小することができる。

【0070】上記何れの実施形態でも、対応する平面図に示すように、ビットライン系配線の中心が強誘電体部 3' の中心からシフトした位置を通るレイアウトを採用しているが、本発明がこれに限定されるわけではない。ビットライン系配線と下層の強誘電体部 3' との位置関係を調整することによって、強誘電体部 3' に加わる応力を最適な状態に維持することも可能である。

【0071】なお、上記実施形態について具体的に示した材料、寸法および層間絶縁膜の構成などは本願明細書に開示したものに限定されるものではない。

【0072】

【発明の効果】本発明によれば、強誘電体キャパシタとメモリセルトランジスタとを接続するために用いる導電部材とビットライン系配線とを異なるレベルの金属膜から形成するため、両者のセパレーションを確保する必要がなくなり、メモリセル面積を縮小することができ、集積度の向上した強誘電体メモリ装置を提供することが可能になる。

【0073】本発明によれば、ビットライン系配線の線幅を広くすることができるため、設計の自由度が増大するという利点もある。

【図面の簡単な説明】

【図 1】本発明による強誘電体メモリ装置の第 1 の実施形態におけるメモリセルアレイの一部を上面からみた図である。

【図 2】図 1 の部分拡大図である。

【図 3】本発明の第 1 の実施形態におけるメモリセルの断面図である。

【図 4】(a) から (d) は、第 1 の実施形態にかかる強誘電体メモリ装置を製造する方法を説明するための工程断面図である。

【図 5】(a) から (c) は、第 1 の実施形態にかかる強誘電体メモリ装置を製造する方法を説明するための工程断面図である。

【図 6】(a) から (d) は、第 1 の実施形態にかかる強誘電体メモリ装置を製造する方法を説明するためのレイアウト図である。

【図 7】(a) は、本発明による強誘電体メモリ装置の第 2 の実施形態におけるメモリセルアレイの平面図であり、(b) は、その部分断面図である。

【図 8】(a) は、本発明による強誘電体メモリ装置の第 3 の実施形態におけるメモリセルアレイの平面図であり、(b) は、その部分断面図である。

【図 9】(a) は、本発明による強誘電体メモリ装置の第 4 の実施形態におけるメモリセルアレイの平面図であり、(b) は、その部分断面図である。

13

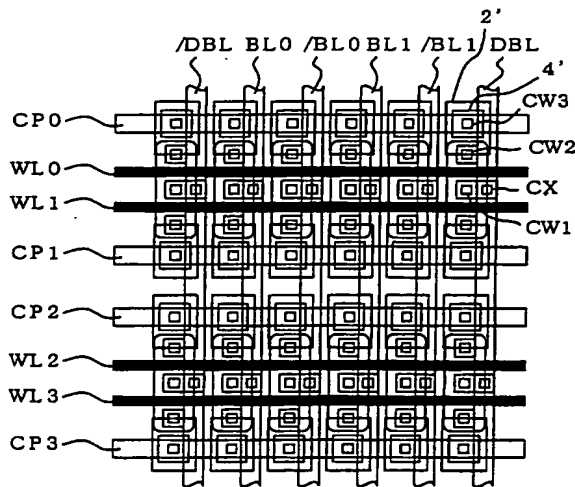
【図10】(a)は、本発明による強誘電体メモリ装置の第5の実施形態におけるメモリセルアレイの平面図であり、(b)は、その部分断面図である。

【図11】(a)は、従来の強誘電体メモリ装置におけるメモリセルアレイの一部を上面からみた図であり、(b)は、その部分断面図である。

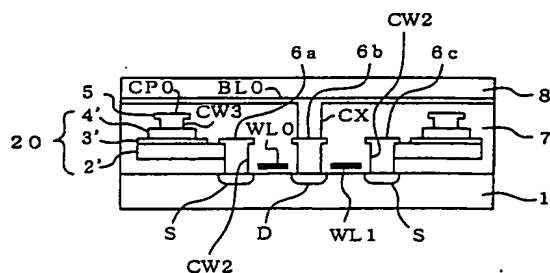
【符号の説明】

1	半導体基板
1 a	活性領域
2	第1 P t 膜
2'	下部電極
3	強誘電体膜
3'	強誘電体部
4'	上部電極
4	第2 P t 膜
6 a ~ 6 c	導電部材
20	キャパシタ
30	メモリセルトランジスタ
40	層間絶縁膜

【図1】



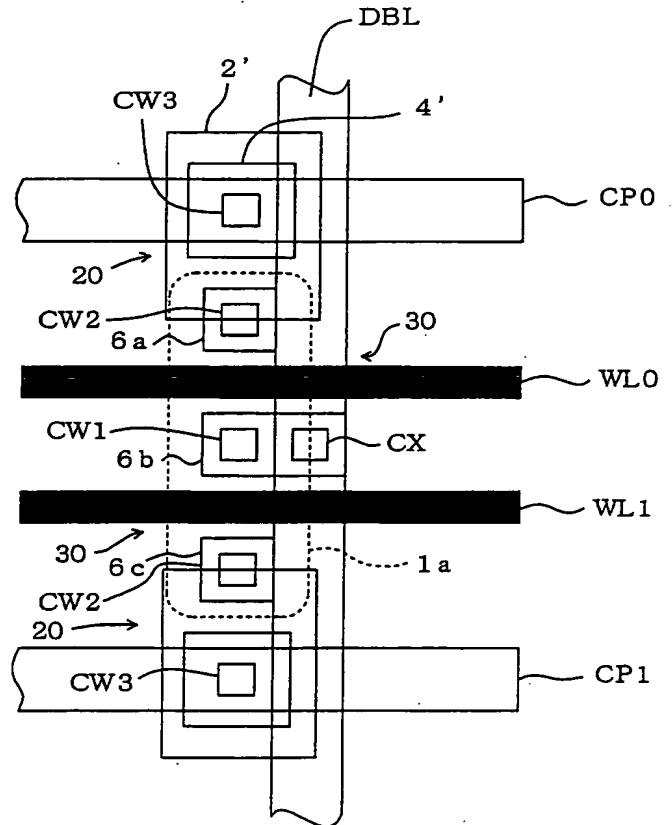
【図3】



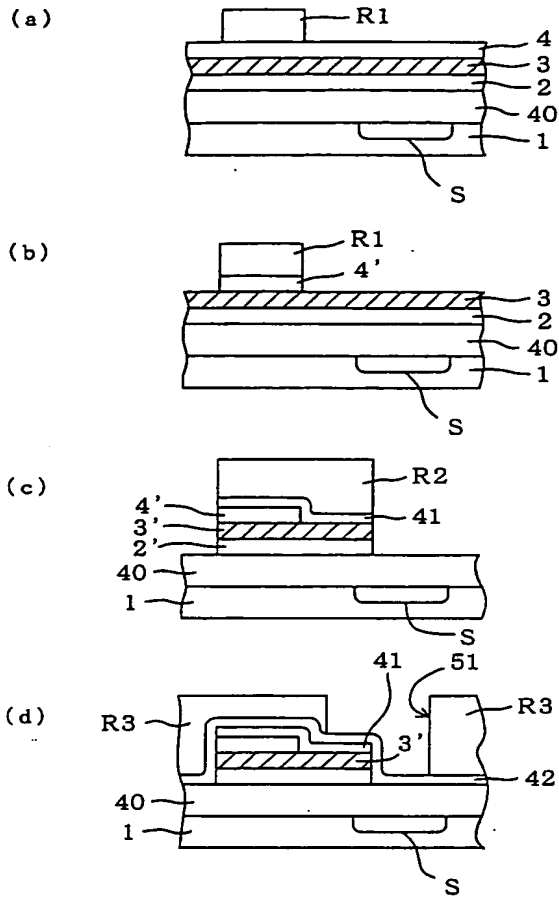
14

41	NSG膜
42	NSG膜
43	PSG膜
51	レジスト開口部
52	レジスト開口部
R1	レジスト層
R2	レジスト層
R3	レジスト層
WL0~WL3	ワード線
10 CP0~CP3	セルプレート線
CW1	コンタクトホール
CW2	コンタクトホール
CW3	コンタクトホール
CX	コンタクトホール
CM	コンタクトホール
BL0、/BL0	ビットライン
BL1、/BL1	ビットライン
DBL、/DBL	ダミービットライン

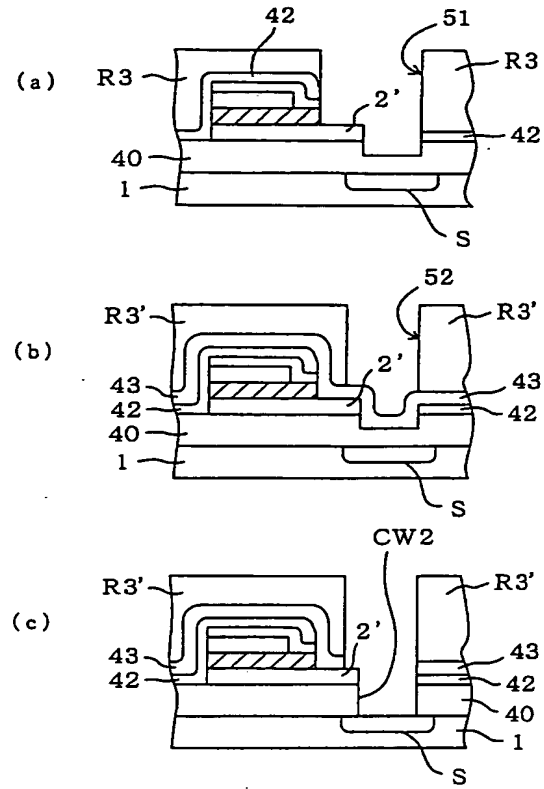
【図2】



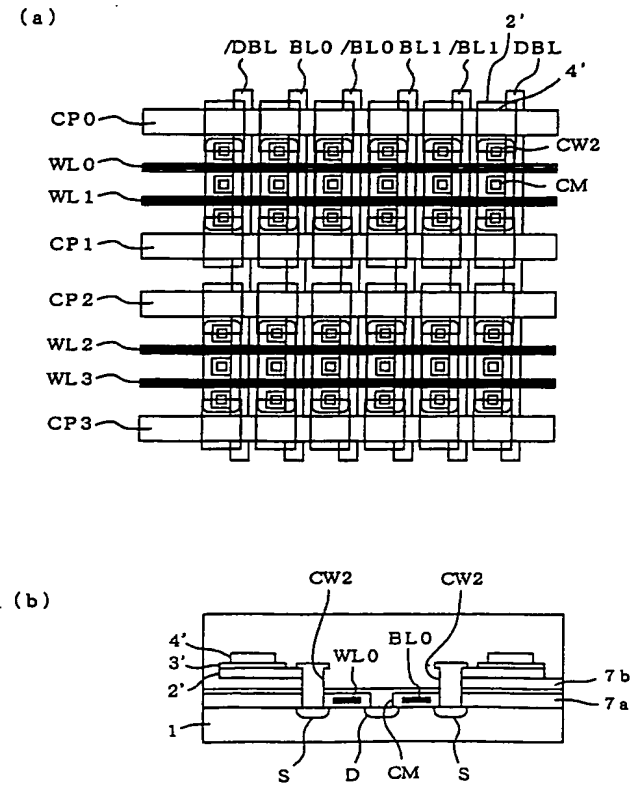
【図4】



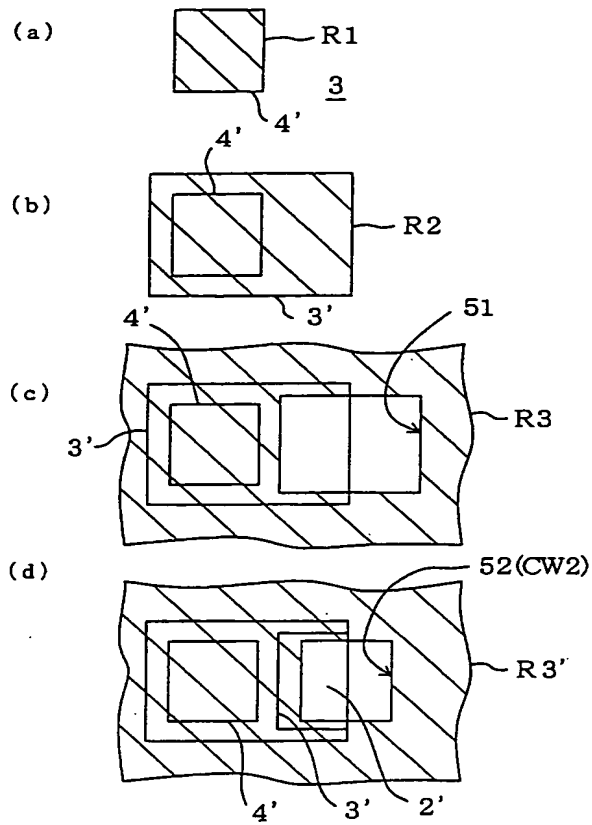
【図5】



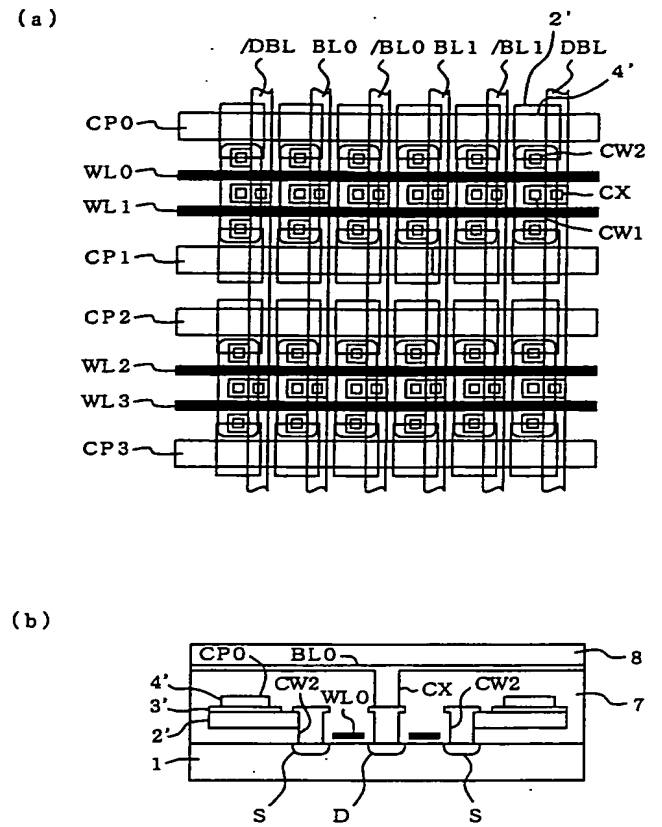
【図10】



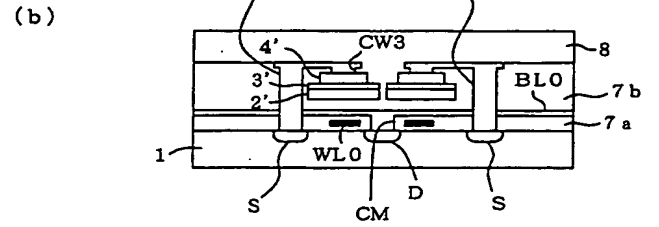
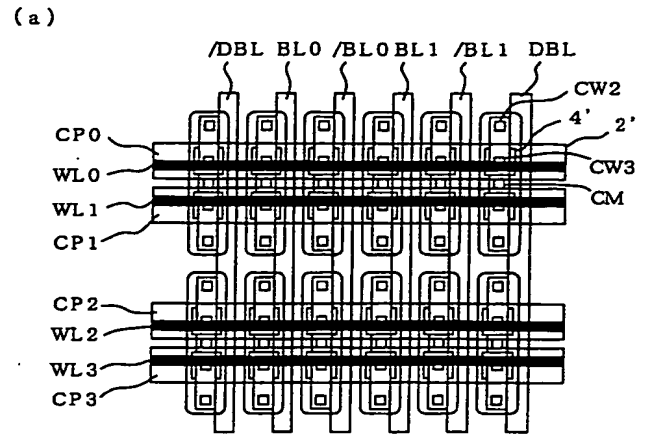
【図 6】



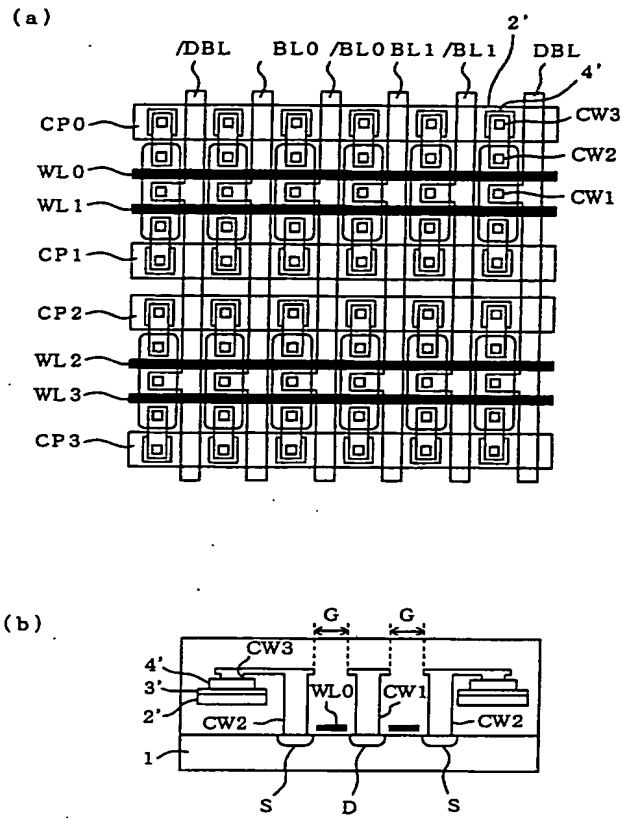
【图 7】



【图 9】



【図11】



フロントページの続き

(51) Int. Cl.⁷

H01L 29/792

識別記号

F I

ターマート (参考)